OIPE
DEC 2 2 2003
PATENT & TRADEMARK OFFICE
JC99

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT:	ISAO YAMAMOTO ET AL.	))Group Art Unit: N/A
SERIAL NO.:	10/677,791	)
FILED:	October 2, 2003	)Examiner: N/A
FOR:	SEMICONDUCTOR DEVICE HAVING VOLTAGE FEEDBACK CIRCUIT THEREIN, AND ELECTRONIC APPARATUS USING THE SAME	))Confirmation No.: N/A

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Enclosed herewith is a certified copy of Japanese Patent Application No. JP2002-292513 filed on October 4, 2002 and Japanese Patent Application JP2003-322295 filed on September 12, 2003. The enclosed Applications are directed to the invention disclosed and claimed in the above-identified application.

Applicant hereby claims the benefit of the filing date of October 4, 2002, of the Japanese Patent Application No. JP2002-292513 and the filing date of September 12, 2003, of the Japanese Patent Application No. JP2003-322295, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: Lisa Bongiovi

Lisa A. Bongiovi
Registration No. 48,933
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
Customer No. 23413

I hereby certify that this correspondence was deposited with the United States Postal Service as first class mail in an envelope addressed to: Mail Stop _____, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on

December 18, 2003
(Date of Deposit)

Jane M. Theberge
(Name of Person Mailing Paper)

Jane M Theberge 12/18/03
Signature Date

Date: December 18, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: ２００２年１０月 ４日

出 願 番 号
Application Number: 特願２００２－２９２５１３

[ST. 10/C]: [ＪＰ２００２－２９２５１３]

出 願 人
Applicant(s): ローム株式会社

２００３年１０月 ６日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号 出証特２００３－３０８２０８５

【書類名】　特許願
【整理番号】　02-00302
【提出日】　平成14年10月 4日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 27/04
【発明の名称】　電圧帰還回路を有する半導体装置及びそれを用いた電子装置
【請求項の数】　5
【発明者】
【住所又は居所】　京都市右京区西院溝崎町２１番地　ローム株式会社内
【氏名】　山本　勲
【発明者】
【住所又は居所】　京都市右京区西院溝崎町２１番地　ローム株式会社内
【氏名】　石川　裕之
【特許出願人】
【識別番号】　000116024
【氏名又は名称】　ローム株式会社
【代表者】　佐藤　研一郎
【代理人】
【識別番号】　100083231
【住所又は居所】　東京都港区新橋２丁目１０番５号　末吉ビル５階　ミネルバ国際特許事務所
【弁理士】
【氏名又は名称】　紋田　誠

【選任した代理人】

【識別番号】　100112287

【住所又は居所】　東京都港区新橋２丁目１０番５号　末吉ビル５階　ミネルバ国際特許事務所

【弁理士】

【氏名又は名称】　逸見　輝雄

【手数料の表示】

【予納台帳番号】　016241

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9901021

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　電圧帰還回路を有する半導体装置及びそれを用いた電子装置

【特許請求の範囲】

【請求項１】　入力信号と出力電圧を帰還した帰還信号とに基づいて前記出力電圧を制御する制御回路部、前記出力電圧を出力するための出力用パッド、前記帰還信号を帰還するための帰還用パッド、前記出力用パッドと前記帰還用パッドとの間に接続された保護用抵抗を含むＩＣチップと、

前記出力用パッド及び前記帰還用パッドにそれぞれ接続された出力用端子とを、有することを特徴とする半導体装置。

【請求項２】　入力信号と出力電圧を帰還した帰還信号とに基づいて前記出力電圧を制御する制御回路部、前記出力電圧を出力するための出力用パッド、前記帰還信号を帰還するための帰還用パッドを含むＩＣチップと、

前記出力用パッドに接続された出力用端子と、

前記帰還用パッドに接続された帰還用端子とを、有することを特徴とする半導体装置。

【請求項３】　前記ＩＣチップは、前記出力用パッドと前記帰還用パッドとの間に接続された保護用抵抗を含む、ことを特徴とする、請求項２記載の半導体装置。

【請求項４】　入力信号と出力電圧を帰還した帰還信号とに基づいて前記出力電圧を制御する制御回路部、前記出力電圧を出力するための出力用パッド、前記帰還信号を帰還するための帰還用パッド、前記出力用パッドと前記帰還用パッドとの間に接続された保護用抵抗を含むＩＣチップと、前記出力用パッドに接続された出力用端子と、前記帰還用パッドに接続された帰還用端子とを、有する半導体装置と、

入力端子を有する負荷装置と、

前記出力用端子と前記負荷装置の前記入力用端子との間を接続し、前記半導体装置の出力を前記負荷装置に供給する出力用配線と、

前記帰還用端子と前記負荷装置の前記入力用端子あるいは前記出力用配線との間を接続し、前記負荷装置に供給される電圧を前記半導体装置に帰還するための

帰還用配線とを、備えることを特徴とする電子装置。

【請求項５】　入力信号と出力電圧を帰還した帰還信号とに基づいて前記出力電圧を制御する制御回路部、前記出力電圧を出力するための出力用パッド、前記帰還信号を帰還するための帰還用パッドを含むＩＣチップと、前記出力用パッドに接続された出力用端子と、前記帰還用パッドに接続された帰還用端子とを、有する半導体装置と、

入力端子を有する負荷装置と、

前記出力用端子と前記負荷装置の前記入力用端子との間を接続し、前記半導体装置の出力を前記負荷装置に供給する出力用配線と、

前記帰還用端子と前記負荷装置の前記入力用端子あるいは前記出力用配線との間を接続し、前記負荷装置に供給される電圧を前記半導体装置に帰還するための帰還用配線と、

前記出力用配線と前記帰還用配線との間に接続された保護用抵抗を、備えることを特徴とする電子装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、出力電圧を帰還する電圧帰還回路を有する半導体装置及びそれを用いた電子装置に関する。

【０００２】

【従来の技術】

定電圧出力回路を有するＩＣチップを用いた半導体装置において、ロードレギュレーション（出力電圧ー出力電流特性）を改善するために、ＩＣチップに出力用パッドと別に帰還用パッドを設けて、半導体装置の出力用ピンとそれぞれボンディングワイヤによって別々に接続したものが、例えば特開２００１－２７４３２号公報に示されている。

【０００３】

この従来の半導体装置においては、半導体装置の出力用ピンにおける出力電圧が、定電圧出力回路への帰還電圧として帰還される。したがって、その帰還電圧

には、ＩＣチップの出力用パッドと出力用ピンとの間を接続するボンディングワイヤでの電圧降下が含まれないから、その電圧降下分だけロードレギュレーションが改善されている。

【０００４】

【発明が解決しようとする課題】

しかし、この従来の半導体装置では、ＩＣチップの出力用パッドと帰還用パッドとが別々に出力用ピンと接続されているから、帰還用パッドと出力用ピンとの間の接続が接触不良やワイヤ断線などにより絶たれると、帰還が行われなくなってしまう。

【０００５】

この場合、定電圧出力回路は、出力電圧が零であると認識するから、出力電圧を上昇させるように機能する。その結果、半導体装置からは最も高い出力電圧が出力され、その負荷となるデバイスを破壊してしまう、問題がある。

【０００６】

また、半導体装置から負荷へ供給される電流が大きい場合や、半導体装置から負荷までの距離が長い場合には、その電圧降下により負荷の入力端におけるロードレギュレーションが悪化する、問題がある。

【０００７】

そこで、本発明は、ロードレギュレーションを向上すると共に、帰還回路の接続不良による出力電圧の異常な上昇を防止する帰還回路を有する半導体装置、及びその半導体装置を備えた電子機器を提供することを目的とする。

【０００８】

【課題を解決するための手段】

請求項１記載の半導体装置は、入力信号と出力電圧を帰還した帰還信号とに基づいて前記出力電圧を制御する制御回路部、前記出力電圧を出力するための出力用パッド、前記帰還信号を帰還するための帰還用パッド、前記出力用パッドと前記帰還用パッドとの間に接続された保護用抵抗を含むＩＣチップと、

前記出力用パッド及び前記帰還用パッドにそれぞれ接続された出力用端子とを、有することを特徴とする。

【０００９】

請求項２記載の半導体装置は、入力信号と出力電圧を帰還した帰還信号とに基づいて前記出力電圧を制御する制御回路部、前記出力電圧を出力するための出力用パッド、前記帰還信号を帰還するための帰還用パッドを含むＩＣチップと、

前記出力用パッドに接続された出力用端子と、

前記帰還用パッドに接続された帰還用端子とを、有することを特徴とする。

【００１０】

請求項３記載の半導体装置は、請求項２記載の半導体装置において、

さらに、前記ＩＣチップは、前記出力用パッドと前記帰還用パッドとの間に接続された保護用抵抗を含む、ことを特徴とする。

【００１１】

請求項４記載の電子装置は、入力信号と出力電圧を帰還した帰還信号とに基づいて前記出力電圧を制御する制御回路部、前記出力電圧を出力するための出力用パッド、前記帰還信号を帰還するための帰還用パッド、前記出力用パッドと前記帰還用パッドとの間に接続された保護用抵抗を含むＩＣチップと、前記出力用パッドに接続された出力用端子と、前記帰還用パッドに接続された帰還用端子とを、有する半導体装置と、

入力端子を有する負荷装置と、

前記出力用端子と前記負荷装置の前記入力用端子との間を接続し、前記半導体装置の出力を前記負荷装置に供給する出力用配線と、

前記帰還用端子と前記負荷装置の前記入力用端子あるいは前記出力用配線との間を接続し、前記負荷装置に供給される電圧を前記半導体装置に帰還するための帰還用配線とを、備えることを特徴とする。

【００１２】

請求項５記載の電子装置は、入力信号と出力電圧を帰還した帰還信号とに基づいて前記出力電圧を制御する制御回路部、前記出力電圧を出力するための出力用パッド、前記帰還信号を帰還するための帰還用パッドを含むＩＣチップと、前記出力用パッドに接続された出力用端子と、前記帰還用パッドに接続された帰還用端子とを、有する半導体装置と、

入力端子を有する負荷装置と、

前記出力用端子と前記負荷装置の前記入力用端子との間を接続し、前記半導体装置の出力を前記負荷装置に供給する出力用配線と、

前記帰還用端子と前記負荷装置の前記入力用端子あるいは前記出力用配線との間を接続し、前記負荷装置に供給される電圧を前記半導体装置に帰還するための帰還用配線と、

前記出力用配線と前記帰還用配線との間に接続された保護用抵抗を、備えることを特徴とする。

【００１３】

【発明の実施の形態】

以下、図面を参照して本発明の電圧帰還回路を有する半導体装置及びそれを用いた電子装置の実施の形態について、説明する。

【００１４】

図１は本発明の第１の実施の形態に係る半導体装置（即ち、ＩＣデバイス）の構成を示す図である。

【００１５】

図１において、ＩＣチップ１１は、シリーズレギュレータを構成している。このＩＣチップ１１には、電源から入力電圧Ｖｉを入力するための入力用パッドＰｉ１と、電圧調整された出力電圧Ｖｏを出力するための出力用パッドＰｏ１と、外部に出力された出力電圧Ｖｏを帰還電圧Ｖｆｂとして帰還（フィードバック）するための帰還用パッドＰｆ１を含む複数のパッドが形成されている。

【００１６】

入力用パッドＰｉ１と出力用パッドＰｏ１との間に、電圧調整素子であるＰ型ＭＯＳトランジスタＱ１が接続されている。また、出力用パッドＰｏ１と帰還用パッドＰｆ１との間に保護用抵抗Ｒｐ１が接続されている。この保護用抵抗Ｒｐ１は、ＩＣチップ１１の内部で出力用パッドＰｏ１と帰還用パッドＰｆ１との間を接続するように構成しているから、その断線などの故障の可能性がもっとも低い。

【００１７】

演算増幅器ＯＰ１の反転入力端子（－）には入力信号である基準電圧Ｖｒｅｆが入力され、その非反転入力端子（＋）には帰還電圧Ｖｆｂを分圧抵抗Ｒ１、Ｒ２で分圧した分圧帰還電圧Ｖｆｂ′が入力される。基準電圧Ｖｒｅｆと分圧帰還電圧Ｖｆｂ′の差に応じた誤差分が演算増幅器ＯＰ１から出力され、トランジスタＱ１のゲートに供給される。これら演算増幅器ＯＰ１、トランジスタＱ１、分圧抵抗Ｒ１、Ｒ２等が制御回路部を構成する。

【００１８】

半導体装置２１は、ＩＣチップ１１と共に、リード端子である入力端子（以下、入力用ピン）Ｐｉ２と出力端子（以下、出力用ピン）Ｐｏ２を含む複数の外部端子が形成されている。入力用ピンＰｉ２はボンディングワイヤＷｉ１により入力用パッドＰｉ１に接続され、出力用ピンＰｏ２はボンディングワイヤＷｏ１により出力用パッドＰｏ１に接続される。出力用ピンＰｏ２はまた、ボンディングワイヤＷｆ１により帰還用パッドＰｆ１にも接続されている。これらのボンディングワイヤーは、通常金線（Ａｕ）の細線で形成され、その抵抗値は約５０～１００ｍΩ程度である。

【００１９】

そして、図中に破線で示しているように、入力用ピンＰｉ２には電源としての電池ＢＡＴが接続され、入力電圧Ｖｉ（例えば、４．５ｖ）が供給される。また、出力用ピンＰｏ２からは、出力電圧Ｖｏ（例えば、３．０ｖ）が負荷装置３１に供給される。

【００２０】

この半導体装置２１では、基準電圧Ｖｒｅｆと分圧基準電圧Ｖｆｂ′とが等しくなるように定電圧制御される。帰還用パッドＰｆ１を出力用パッドＰｏ１とは別に設け、帰還用パッドＰｆ１をボンディングワイヤＷｆ１により出力用ピンＰｏ２に接続しているから、帰還電圧Ｖｆｂとして出力用ピンＰｏ２における出力電圧Ｖｏが帰還される。これにより、ボンディングワイヤＷｏ１での電圧降下（例えば、１００ｍＶ）が出力電圧Ｖｏに影響を与えないから、その分のロードレギュレーションが向上する。

【００２１】

本発明では、さらに、ＩＣチップ１１の内部で出力用パッドＰｏ１と帰還用パッドＰｆ１との間に保護用抵抗Ｒｐ１を接続するように構成している。この保護用抵抗Ｒｐ１が接続されていない場合には、ボンディングワイヤＷｆ１が帰還用パッドＰｆ１や出力用ピンＰｏ２でワイヤ外れを起こして接触不良となったり、あるいは断線したりすると、帰還が行われなくなるから、出力電圧Ｖｏはほぼ入力電圧Ｖｉまで上昇し、負荷装置３１を破壊してしまう。

【００２２】

しかし、保護用抵抗Ｒｐ１を設けていることにより、もし、ボンディングワイヤＷｆ１に接触不良や断線が生じたとしても、出力用パッドＰｏ１での出力電圧Ｖｏが保護用抵抗Ｒｐ１及び分圧抵抗Ｒ１、Ｒ２により帰還される。したがって、出力電圧Ｖｏは所定の制限された値までの上昇にとどまる。よって、負荷装置３１の破壊は防止できる。

【００２３】

この保護用抵抗Ｒｐ１の抵抗値は、①帰還点（この場合は、出力用ピンＰｏ２）の出力電圧Ｖｏが実質的に正確に帰還されること、②正常な帰還が行われなくなったときに負荷装置３１に破壊などの悪影響を与えないこと、③正常な帰還が行われなくなったことを出力電圧Ｖｏの変化（上昇）から検出することができること、等の条件に合うように設定される。保護用抵抗Ｒｐ１の抵抗値は、具体的には、分圧抵抗Ｒ１、Ｒ２の抵抗値との関係で決められるが、出力電圧Ｖｏを約１０～２０％程度上昇させるように設定することが好ましい。

【００２４】

なお、正常な帰還が行われなくなったことの検出は、ＩＣチップ１１に、基準電圧Ｖｒｅｆと出力用パッドＰｏ１での出力電圧Ｖｏとを比較する比較手段を設けることにより、また、単に出力用パッドＰｏ１での出力電圧Ｖｏを監視する監視手段を設けることにより行う。あるいは、出力用ピンＰｏ２での出力電圧Ｖｏを監視するようにしてもよい。

【００２５】

これにより、出力用パッドＰｏ１と出力用ピンＰｏ２との間を接続するボンディングワイヤＷｏ１での電圧降下に関わらずロードレギュレーションが向上する

と共に、電圧帰還経路での接続不良による出力電圧Ｖｏの異常な上昇を防止することができる。

【００２６】

図２は本発明の第２の実施の形態に係る半導体装置の構成を示す図であり、図３はその半導体装置を用いた本発明の第３の実施の形態に係る電子装置の構成を示す図である。

【００２７】

図２の半導体装置２２において、帰還用端子（以下、帰還用ピン）Ｐｆ２を設け、帰還用パッドＰｆ１との間をボンディングワイヤＷｆ１により接続している。したがって、帰還用ピンＰｆ２は、帰還電圧Ｖｆｂを帰還させるために、半導体装置２２の外部において、出力用ピンＰｏ２に接続されている出力用配線に接続されることになる。この帰還経路の形成方法の点で、図１の半導体装置２１と異なっている。その他の点は、図１と同様である。

【００２８】

図３の電子装置４０において、プリント配線基板（以下、ＰＣＢ）４１に、半導体装置２２と負荷装置３１が設けられている。その半導体装置２２の出力用ピンＰｏ２と、負荷装置３１の入力端子とが、ＰＣＢ４１に形成されているパターン配線である出力用配線Ｌｏにより接続されている。また、半導体装置２２の帰還用ピンＰｆ２と、出力用配線Ｌｏの負荷装置３１の近傍点Ｎとが、パターン配線である帰還用配線Ｌｆにより接続されている。この近傍点Ｎにおける出力電圧Ｖｏが帰還用パッドＰｆ１に帰還される。なお、近傍点Ｎに代えて、負荷装置３１の入力端子に、帰還用配線Ｌｆを接続するようにしてもよい。また、入力用ピンＰｉ２は、パターン配線により入力電圧Ｖｉの供給点に接続されている。

【００２９】

図３の電子装置４０では、負荷装置３１の入力端子の近傍点Ｎでの出力電圧Ｖｏを帰還するから、半導体装置２２と負荷装置３１との間の出力用配線Ｌｏでの電圧降下も近傍点Ｎでの出力電圧Ｖｏに影響を与えない。したがって、半導体装置２２と負荷装置３１との間の距離が長い場合や、半導体装置２２から負荷装置３１へ供給する電流が大きい場合にも、ロードレギュレーションが悪化すること

なく、負荷装置３１に所定電圧を供給することができる。

【００３０】

負荷装置３１の近傍点Ｎから出力電圧Ｖｏを帰還することにより、半導体装置２２内部でのボンディングワイヤＷｆ１での断線などによる接続不良の他に、帰還用ピンＰｆ２と帰還用配線Ｌｆとのはんだ付けの不良や帰還用配線Ｌｆのパターン配線の断線など帰還経路の接続不良が生じる可能性が高くなる。

【００３１】

本発明では、この場合でも、ＩＣチップ１２の内部で出力用パッドＰｏ１と帰還用パッドＰｆ１との間に保護用抵抗Ｒｐ１を接続するように構成しているから、保護用抵抗Ｒｐ１断線などの故障の可能性がもっとも低い。したがって、もし、その帰還経路のいずれかで接触不良や断線に依る接続不良が生じたとしても、図１の半導体装置と同様に、出力用パッドＰｏ１での出力電圧Ｖｏが保護用抵抗Ｒｐ１及び分圧抵抗Ｒ１、Ｒ２により帰還され、出力電圧Ｖｏは所定の制限された値までの上昇にとどまる。よって、負荷装置３１の破壊は防止できる。

【００３２】

このように、出力電圧Ｖｏの帰還点は負荷装置３１に近づける（即ち、近傍点Ｎ）と共に、保護用抵抗Ｒｐ１を逆に帰還経路の制御回路部側に設けることにより、ロードレギュレーションの向上と、帰還経路の接続不良に対する保護対策の有効性とを、達成することができる。

【００３３】

図４は本発明の第４の実施の形態に係る半導体装置の構成を示す図であり、図５はその半導体装置を用いた本発明の第５の実施の形態に係る電子装置の構成を示す図である。

【００３４】

図４の半導体装置２３において、図２の半導体装置２２と異なる点は、出力用パッドＰｏ１と帰還用パッドＰｆ１の間に保護用抵抗Ｒｐ１が設けられていない点である。その他の点は同じである。

【００３５】

また、図５の電子装置４０Ａにおいて、図３の電子装置４０と異なる点は、Ｐ

ＣＢ４２上の出力用配線Ｌｏと帰還用配線Ｌｆとの間に保護用抵抗Ｒｐ１を接続している点である。その他の点は同じである。

【００３６】

図５において、保護用抵抗Ｒｐ１は半導体装置２３にできるだけ近い箇所で出力用配線Ｌｏと帰還用配線Ｌｆとの間に接続することが、保護対策の点から好ましい。また、保護用抵抗Ｒｐ１は出力用ピンＰｏ２と帰還用ピンＰｆ２に接続してもよい。

【００３７】

この図５の電子装置４０Ａにおいては、半導体装置２３の外部に保護用抵抗Ｒｐ１を設けるから、ボンディングワイヤＷｆ１での接続不良に付いては保護することはできない。しかし、保護用抵抗Ｒｐ１について未加工のＩＣチップ１３でもＰＣＢ４２上で、必要に応じて保護用抵抗Ｒｐ１を接続することにより、半導体装置２３の外部での帰還経路の接続不良に対して、保護対策を採ることができる。

【００３８】

したがって、図３の電子装置４０におけるとほぼ同様の、ロードレギュレーションの向上と、帰還経路の接続不良に対する保護対策の有効性とを達成することができる。

【００３９】

図６は本発明の第６の実施の形態に係る電子装置の構成を示す図である。この図６では、折り畳み型携帯電話機のような折り畳み型電子装置に本発明を適用した例を示すものである。

【００４０】

この折り畳み型電子装置５０は、折り畳み構造の一方に図２で示した半導体装置２２を設けたＰＣＢ４３を配置し、他方に負荷装置３１を設けたＰＣＢ４４を配置しており、折り畳み部５１で折り畳み自在に結合されている。なお、５２はアンテナである。

【００４１】

そして、図３の電子装置におけると同様に、出力用配線Ｌｏ及び帰還用配線Ｌ

ｆによって半導体装置２２と負荷装置３１とが接続されている。折り畳み部５１での接続は、コネクタＣ１とフレキシブルワイヤＦＬＸとコネクタＣ２とにより行われる。

【００４２】

折り畳み構造の電子装置５０では、半導体装置２２から負荷装置３１への給電する距離がどうしても長くなり、また折り畳み部５１での機械的構造により電気的接続の信頼性が低下する場合が多い。

【００４３】

このような折り畳み型電子装置５０では、ロードレギュレーションの向上と、帰還経路の接続不良に対する保護対策の有効性を達成するために、本発明の適用がさらに有効である。

【００４４】

なお、以上の各実施の形態では、ＩＣチップ１１、１２、１３での制御回路部として、シリーズ・レギュレータを例として説明している。しかし、本発明は、シリーズ・レギュレータに限らず、スイッチング・レギュレータや、チャージポンプ型レギュレータなど他のレギュレータにも同様に適用することができる。また、そのほか、音声出力用増幅器など、電圧帰還回路を有するものに広く適用することができる。

【００４５】

図７は、本発明の第７の実施の形態に係り、本発明をＢＴＬ（Balanced Transformer Less ）構成の音声信号出力装置に適用した構成図を示すものである。

【００４６】

図７において、ＩＣチップ１４は、ＢＴＬ構成の出力増幅器を示している。このＩＣチップ１４には、入力信号Ｓｉを入力するための入力用パッドＰｓ１と、正側出力信号を出力するための出力用パッドＰｏ３と、外部に出力された正側出力信号を帰還するための帰還用パッドＰｆ３と、負側出力信号を出力するための出力用パッドＰｏ５と、外部に出力された負側出力信号を帰還するための帰還用パッドＰｆ５を含む複数のパッドが形成されている。

【００４７】

出力用パッドＰｏ３と帰還用パッドＰｆ３との間に保護用抵抗Ｒｐ２が接続され、出力用パッドＰｏ５と帰還用パッドＰｆ５との間に保護用抵抗Ｒｐ３が接続されている。

【００４８】

演算増幅器ＯＰ２の非反転入力端子（＋）には入力信号Ｓｉが入力され、その反転入力端子（－）には帰還用パッドＰｆ３の帰還電圧と基準バイアス電圧Ｖｂ間の電圧を抵抗Ｒ３、Ｒ４で分圧した電圧が入力される。入力信号Ｓｉと分圧した電圧の差に応じた誤差分が演算増幅器ＯＰ２から出力され、出力用パッドＰｏ３に供給される。

【００４９】

また、演算増幅器ＯＰ３の非反転入力端子（＋）には基準バイアス電圧Ｖｂが入力され、その反転入力端子（－）には帰還用パッドＰｆ５の帰還電圧と演算増幅器ＯＰ２の出力電圧間の電圧を抵抗Ｒ５、Ｒ６で分圧した電圧が入力される。

【００５０】

半導体装置２４は、ＩＣチップ１４と共に、リード端子である信号入力用ピンＰｓ２、正側出力用ピンＰｏ４、正側帰還用ピンＰｆ４、負側出力用ピンＰｏ６、負側帰還用ピンＰｆ６を含む複数の外部端子が形成されている。そして、各対応するピンＰｓ２、Ｐｏ４、Ｐｆ４、Ｐｏ６、Ｐｆ６と、パッドＰｓ１、Ｐｏ３、Ｐｆ３、Ｐｏ５、Ｐｆ５とが、それぞれボンディングワイヤＷｓ１、Ｗｏ２、Ｗｆ２、Ｗｏ３、Ｗｆ３によりそれぞれ接続される。

【００５１】

なお、正側帰還用ピンＰｆ４、負側帰還用ピンＰｆ６を削除して、ピンＰｏ４、Ｐｏ６に、パッドＰｆ３、Ｐｆ５を、ボンディングワイヤＷｆ２、Ｗｆ３によりそれぞれ接続してもよい。

【００５２】

ＢＴＬ構成の音声信号出力装置では、図中に破線で示すように、正側出力用ピンＰｏ４及び負側出力用ピンＰｏ６にスピーカーＳＰが接続されて、ＢＴＬ駆動される。

【００５３】

図７の音声信号出力装置において、例えば、ボンディングワイヤＷｆ２が断線などして帰還経路が断たれると、保護用抵抗Ｒｐ２、Ｒｐ３が設けられていない場合には、演算増幅器ＯＰ２、ＯＰ３の出力電圧は、それぞれ上限及び下限にオフセットし、その結果、正側出力用ピンＰｏ４と負側出力用ピンＰｏ６間に接続されているスピーカーＳＰに最大電流が流れ続けることになる。

【００５４】

しかし、本発明においては、保護用抵抗Ｒｐ２、Ｒｐ３が設けられているから帰還経路が断たれることはなく、交流利得が変動するのみで済むから、大電流が流れることはなく、スピーカーＳＰが故障することはない。

【００５５】

【発明の効果】

本発明の半導体装置及び電子装置によれば、出力用パッドと出力用端子との間を接続するワイヤや、出力用配線での電圧降下に関わらずロードレギュレーションが向上すると共に、電圧帰還経路での接続不良による出力電圧の異常な上昇を防止することができる。

【図面の簡単な説明】

【図１】

本発明の第１の実施の形態に係る半導体装置の構成図。

【図２】

本発明の第２の実施の形態に係る半導体装置の構成図。

【図３】

本発明の第３の実施の形態に係る電子装置の構成図。

【図４】

本発明の第４の実施の形態に係る半導体装置の構成図。

【図５】

本発明の第５の実施の形態に係る電子装置の構成図。

【図６】

本発明の第６の実施の形態に係る電子装置の構成図。

【図７】

本発明の第７の実施の形態に係る、ＢＴＬ構成の音声信号出力装置の構成図。

【符号の説明】

１１、１２、１３、１４　ＩＣチップ

２１、２２、２３、２４　半導体装置（ＩＣデバイス）

Ｐｉ１、Ｐｏ１、Ｐｏ３、Ｐｏ５、Ｐｆ１、Ｐｆ３、Ｐｆ５、Ｐｓ１　パッド

Ｐｉ２、Ｐｏ２、Ｐｏ４、Ｐｏ６、Ｐｆ２、Ｐｆ４、Ｐｆ６、Ｐｓ２　ピン

Ｗｉ１、Ｗｏ１～Ｗｏ３、Ｗｆ１～Ｗｆ３、Ｗｓ１　ボンディングワイヤ

Ｑ１　ＭＯＳトランジスタ

ＯＰ１、ＯＰ２、ＯＰ３　演算増幅器

３１　負荷装置

ＳＰ　スピーカ

４１～４４　プリント基板（ＰＣＢ）

Ｌｏ　出力用配線

Ｌｆ　帰還用配線

Ｎ　近傍点

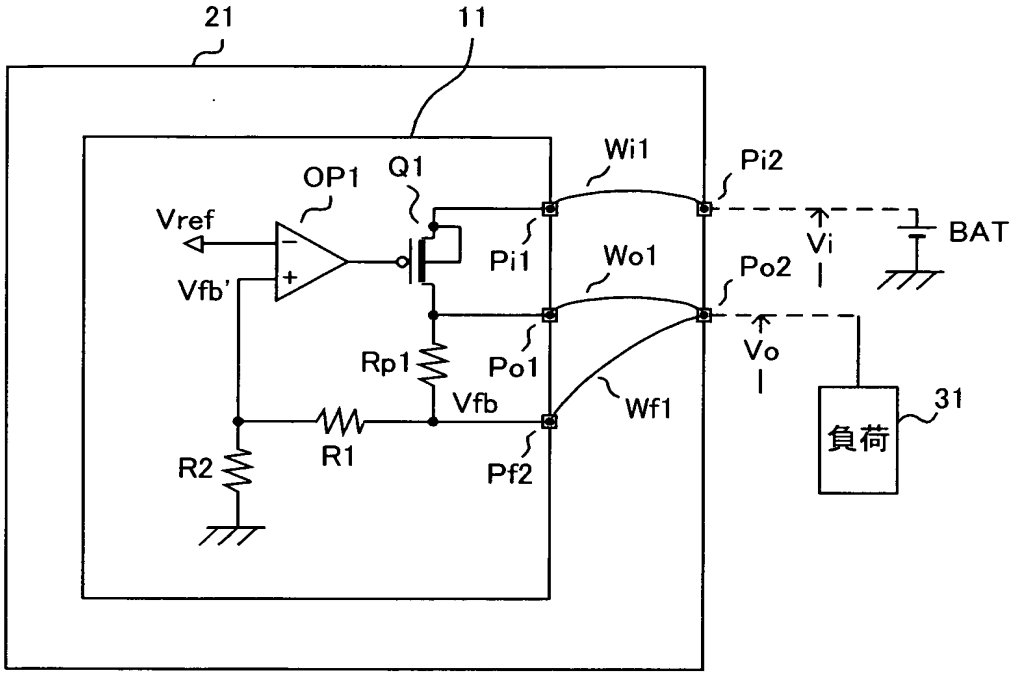
５１　折り畳み部

Ｃ１、Ｃ２　コネクタ

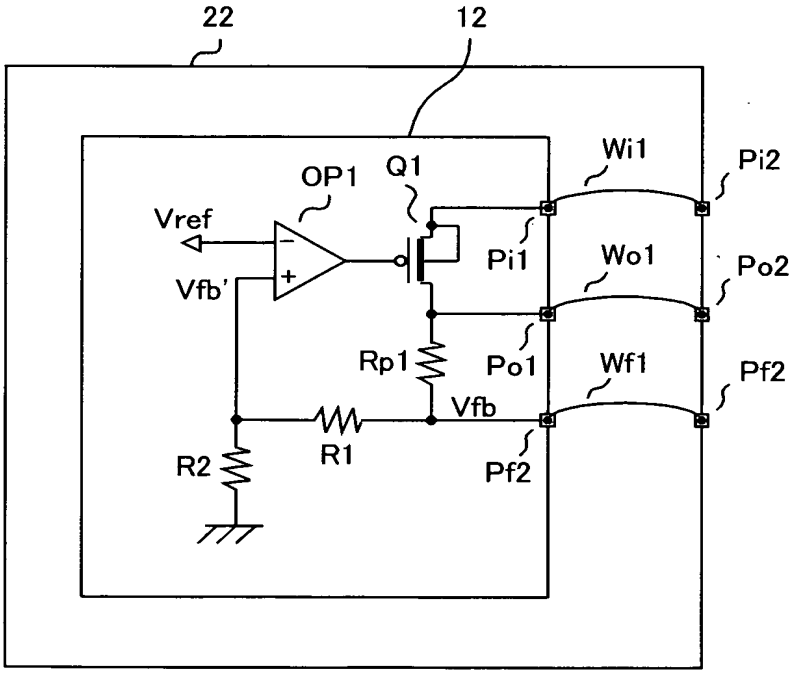
ＦＬＸ　フレキシブルワイヤ

【書類名】　図面

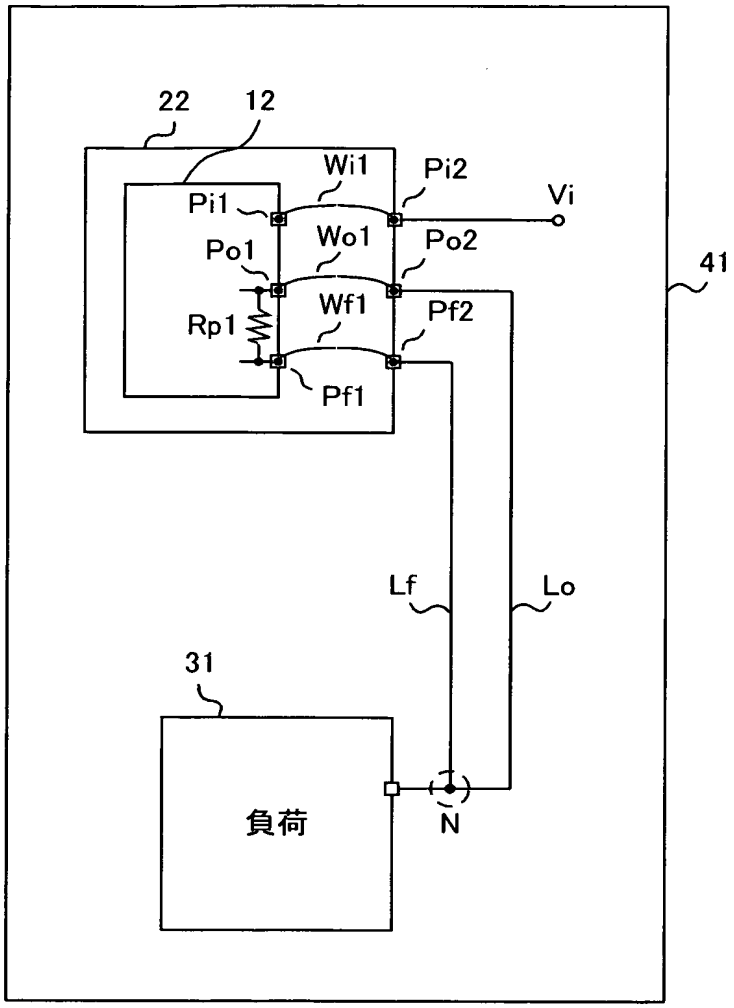
【図１】


21
11
OP1
Q1
Wi1
Pi2
Vref
Vfb'
Pi1
Wo1
Po2
Vi
BAT
Rp1
Po1
Vo
Vfb
Wf1
負荷
31
R2
R1
Pf2

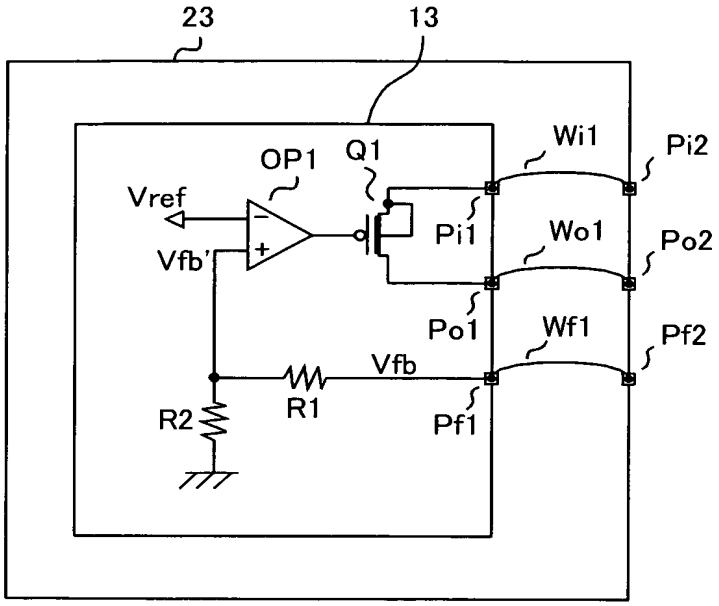
【図２】


22
12
OP1
Q1
Wi1
Pi2
Vref
Vfb'
Pi1
Wo1
Po2
Rp1
Po1
Wf1
Pf2
Vfb
R2
R1
Pf2

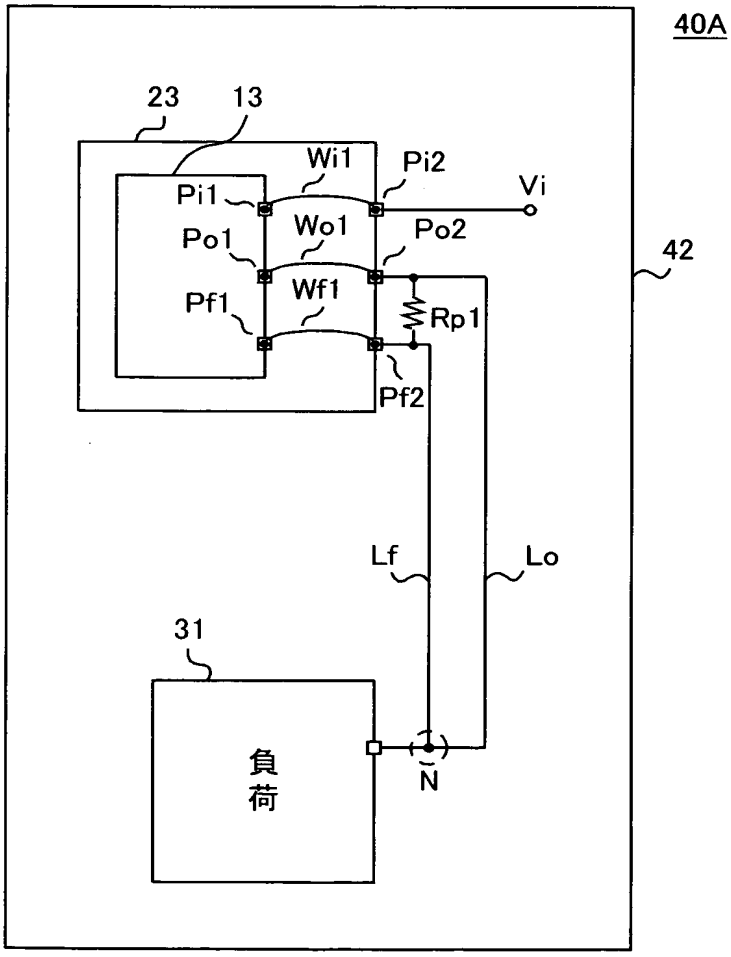
【図３】



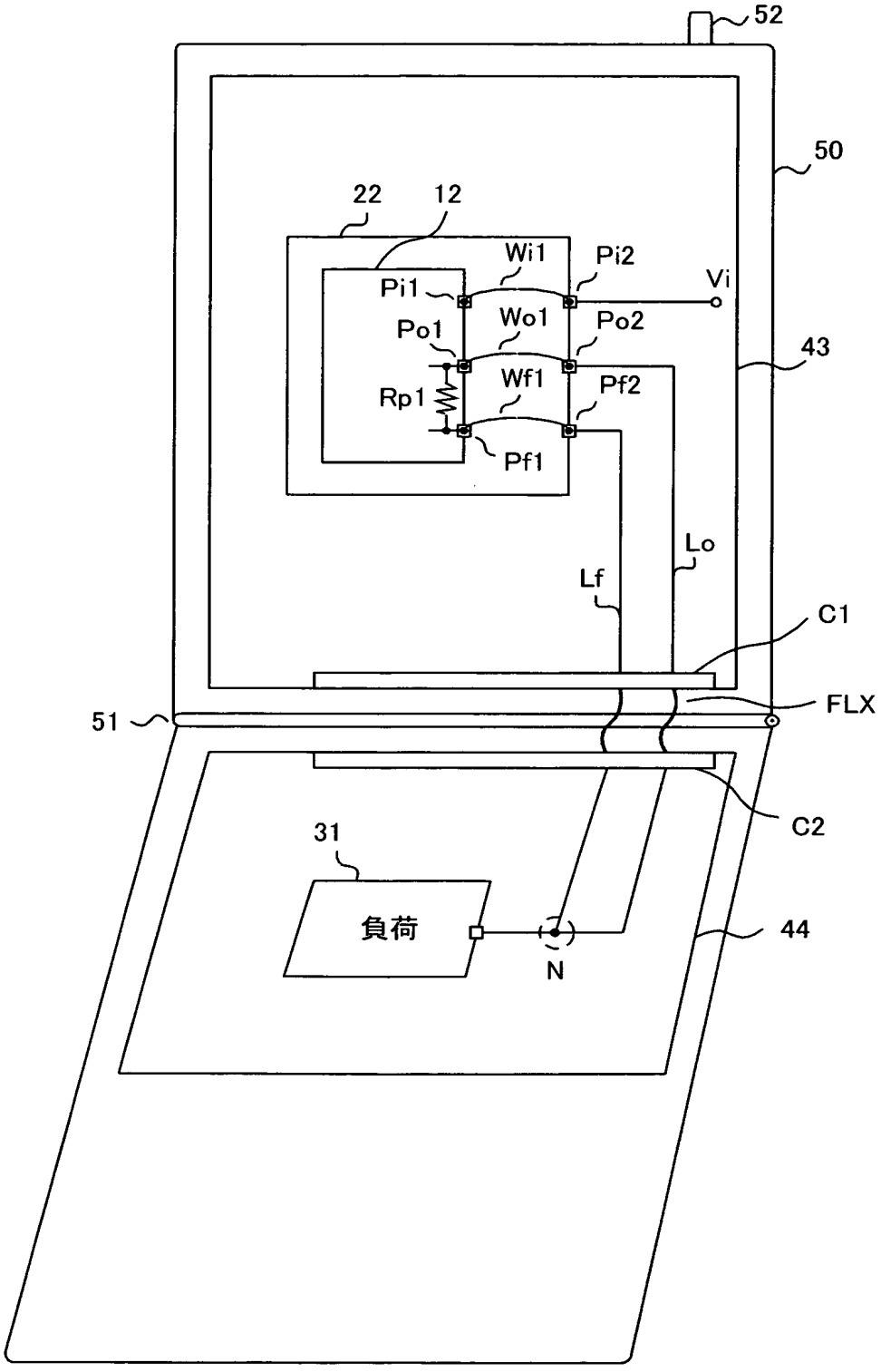
【図４】


23
13
OP1
Q1
Wi1
Pi2
Vref
Pi1
Wo1
Po2
Vfb'
Po1
Wf1
Pf2
Vfb
R1
R2
Pf1

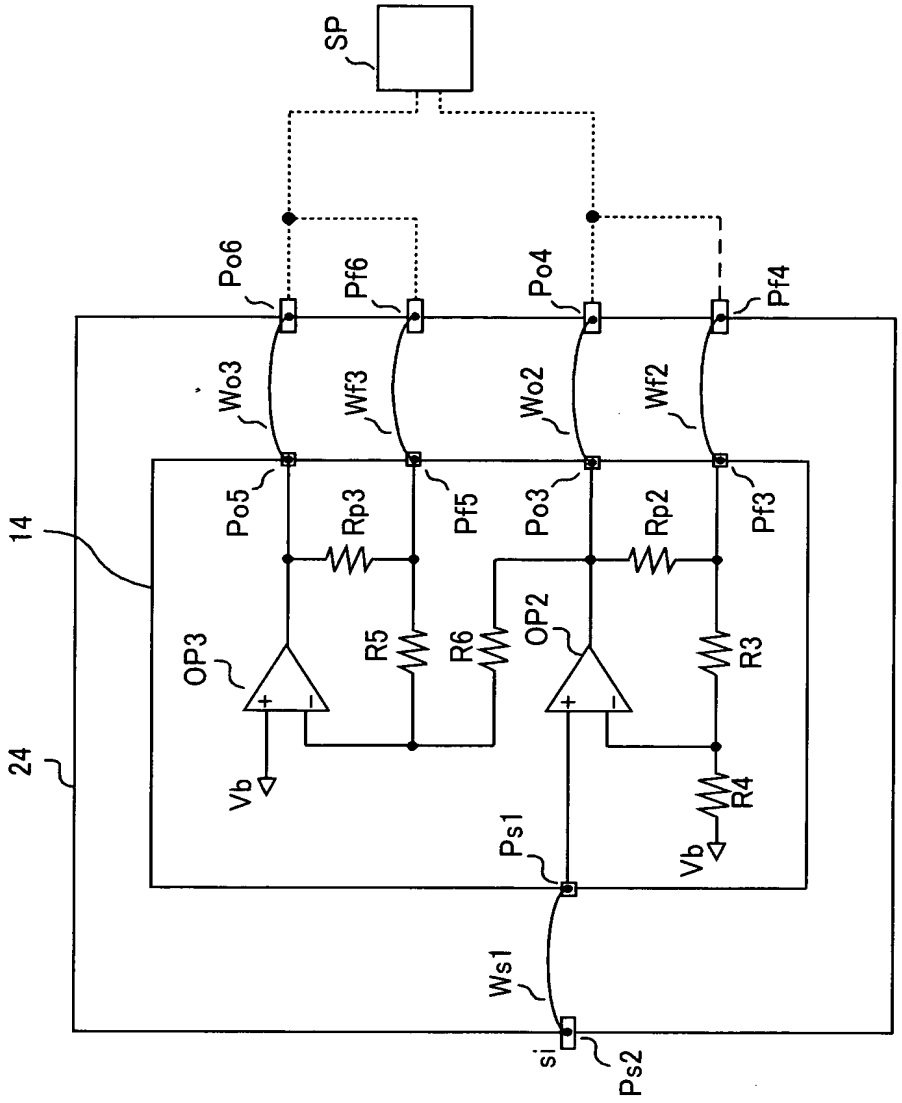
【図５】


40A
23
13
Wi1
Pi2
Vi
Pi1
Wo1
Po2
Po1
42
Wf1
Pf1
Rp1
Pf2
Lf
Lo
31
負荷
N

【図６】


52
50
22
12
Wi1
Pi2
Vi
Pi1
Wo1
Po1
Po2
43
Wf1
Pf2
Rp1
Pf1
Lo
Lf
C1
FLX
51
C2
31
負荷
44
N

【図７】


SP
Po6
Pf6
Po4
Pf4
Wo3
Wf3
Wo2
Wf2
14
Po5
Rp3
Pf5
Po3
Rp2
Pf3
OP3
R5
R6
OP2
R3
24
Vb
R4
Ps1
Vb
Ws1
si
Ps2

【書類名】　　要約書

【要約】

【課題】　電圧帰還回路を有する半導体装置、及びその半導体装置を備えた電子装置において、ロードレギュレーションを向上すると共に、帰還回路の接続不良による出力電圧の異常な上昇を防止すること。

【解決手段】　入力信号と帰還信号とに基づいて出力電圧を制御するＩＣチップを有する半導体装置において、ＩＣチップに出力用パッドとは別に出力電圧帰還用パッドを設ける。そして、ＩＣチップ外部の出力電圧を帰還するとともに出力用パッドと帰還用パッド間に保護用抵抗を接続する。

【選択図】　　図１

特願２００２－２９２５１３

出　願　人　履　歴　情　報

識別番号　　［０００１１６０２４］

１．変更年月日　　１９９０年　８月２２日
［変更理由］　　新規登録
住　所　　京都府京都市右京区西院溝崎町２１番地
氏　名　　ローム株式会社